

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168183

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H01L 27/06
H01L 23/60
H01L 27/04
H01L 21/822

(21)Application number : 10-273790

(71)Applicant : SIEMENS AG

(22)Date of filing : 28.09.1998

(72)Inventor : GOSSNER HARALD
STECHER MATTHIAS DR

(30)Priority

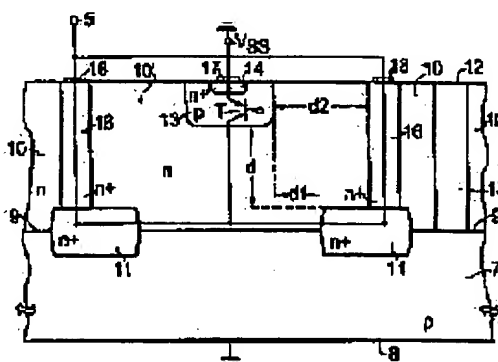
Priority number : 97 19743230 Priority date : 30.09.1997 Priority country : DE

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND USE OF PROTECTIVE ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the holding voltage of an ESD protective element provided in a semiconductor integrated circuit, without impairing the ESD resistance and protective action of the element and on the prescribed conditions at the periphery of the element by a method, wherein the base and collector regions of the protective transistor of the element are arranged in such a way that the regions are shifted from each other in the lateral direction.

SOLUTION: A semiconductor integrated circuit is connected with a first potential conductor, having a first supply potential and a second potential conductor having a second supply potential VSS. The circuit is connected with a terminal pad 5 via a connection conductor. An ESD protective element is connected between the pad 5 and the circuit. Moreover, the element is connected with the second potential conductor. In this example, the element consists of an npn protective transistor T and a load circuit of the transistor T is connected between the connection conductor and the potential conductor. In this ESD protective structure, the outer edge of a well in a base region 13 is arranged in such a way that the outer edge is shifted in the lateral direction with respect the inner edges of embedded layers 11.



LEGAL STATUS

[Date of request for examination]

07.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J.P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168183

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl.⁶
H01L 27/06
23/60
27/04
21/822

識別記号

F I
H01L 27/06 311A
23/56 B
27/04 H

審査請求 未請求 請求項の数12 O L (全 8 頁)

(21) 出願番号 特願平10-273790
(22) 出願日 平成10年(1998) 9月28日
(31) 優先権主張番号 19743230.1
(32) 優先日 1997年9月30日
(33) 優先権主張国 ドイツ (DE)

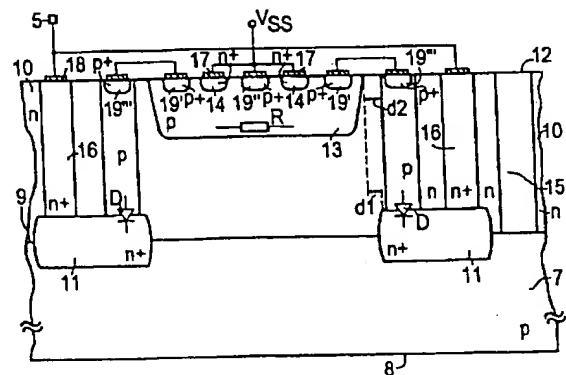
(71) 出願人 390039413
シーメンス アクチエンゲゼルシャフト
SIEMENS AKTIENGESEL
LSCHAFT
ドイツ連邦共和国 D-80333 ミュンヘン
ヴィッテルスバッハープラッツ 2
(72) 発明者 ハラルト ゴスナー
ドイツ連邦共和国 81735 ミュンヘン
クイデシュトラッセ 86
(72) 発明者 マチアス シュテッヒャー
オーストリア国 9500 フィラッハ ウー
ラントシュトラッセ 21/4
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 半導体集積回路及び保護素子の使用方法

(57) 【要約】

【課題】 静電放電から保護するための保護素子を備えた半導体集積回路において、ESD耐性及び保護作用を悪化させることなく所定の周辺条件においてその保持電圧を上げたESD保護素子を提供する。

【解決手段】 保護素子が少なくとも1つの縦形の集積保護トランジスタを備え、その負荷回路が端子パッドと電位線との間に接続されている、静電放電から保護するための保護構造を備えた半導体集積回路において、この発明によれば、保護トランジスタTのベースとコレクタとが横方向に互いにずれて配置されている。トランジスタの、埋め込み層として形成されたコレクタを横方向に構造化することによって、ベースとコレクタとの間の距離が増大される。これにより保護要素のブレイクダウン電圧 U_{CB} 、従って保持電圧が増大する。この発明は、保護トランジスタが、そのブレイクダウンが保護トランジスタの保持電圧の範囲にあるダイオードによって制御されるときに特に有利である。ベースの制御感度は、ベース領域に配置されている集積抵抗により設定される。



【特許請求の範囲】

【請求項1】 a) 導電性接続導体(4)を介して半導体集積回路(1)に接続されている少なくとも1つの端子パッド(5)と、

b) 動作中、半導体集積回路(1)の第一の供給電位(VCC)を導く少なくとも1つの第一の電位線(2)と、

c) 動作中、半導体集積回路(1)の第二の供給電位(VSS)を導く少なくとも1つの第二の電位線(3)と、

d) 半導体集積回路(1)を静電放電から保護するための少なくとも1つの保護素子(6)とを備え、この保護素子(6)は端子パッド(5)と半導体集積回路(1)との間に配置されかつ電位線(2、3)の少なくとも1つに接続され、

e) 保護素子(6)は少なくとも1つの縦形の集積保護トランジスタ(T)を備え、その負荷回路が接続導体(4)と電位線(2、3)の1つとの間に接続される、少なくとも1つの半導体基板(7)に配置された半導体集積回路において、保護トランジスタ(T)のベースとコレクタとが横方向に互いにずれて配置されていることを特徴とする半導体集積回路。

【請求項2】 保護トランジスタ(T)のコレクタが半導体基板(7)に第一の導電形の少なくとも1つの埋込み層(11)によって形成され、第一の導電形のエピタキシャル層(10)の部分領域(10')に作り込まれ、埋込み層(11)から隔てて配置されている第二の導電形の少なくとも1つのベース領域(13)がベースとして動作し、このベース領域(13)に作り込まれた第一の導電形の少なくとも1つのエミッタ領域(14)がエミッタとして動作することを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 保護素子(6)のベースが少なくとも1つの制御手段(D、R)を介して制御されることを特徴とする請求項1又は2に記載の半導体集積回路。

【請求項4】 制御手段が阻止方向に接続された少なくとも1つの集積ダイオード(D)を含むことを特徴とする請求項3に記載の半導体集積回路。

【請求項5】 制御手段が少なくとも1つの集積抵抗(R)を含むことを特徴とする請求項3又は4の1つに記載の半導体集積回路。

【請求項6】 集積抵抗(R)の導電率がベース領域(13)におけるドーピング濃度によって決められていることを特徴とする請求項5に記載の半導体集積回路。

【請求項7】 少なくとも1つの接続領域(16)が設けられ、この接続領域(16)が埋込み層(11)に接続されかつ電位線(2、3)の1つに接続され、しかもこの接続領域(16)が第二の距離(d2)によってベース領域(13)から等間隔に隔てられていることを特徴

とする請求項2乃至6の1つに記載の半導体集積回路。

【請求項8】 接続領域(16)が閉鎖されたリングとして部分領域(10')の周りに配置されていることを特徴とする請求項7に記載の半導体集積回路。

【請求項9】 埋込み層(11)におけるドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ より大きいことを特徴とする請求項2乃至8の1つに記載の半導体集積回路。

【請求項10】 接続領域(16)におけるドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ より大きいことを特徴とする請求項2乃至9の1つに記載の半導体集積回路。

【請求項11】 埋込み層(11)と端子パッド(5)との間に陽極領域が設けられていることを特徴とする請求項2乃至10の1つに記載の半導体集積回路。

【請求項12】 半導体メモリ或いはロジック素子或いはマイクロコントローラにおいて請求項1乃至11の1つに記載の半導体集積回路のための保護素子を使用する方法。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】 この発明は、

a) 導電性接続導体を介して半導体集積回路に接続されている少なくとも1つの端子パッドと、

b) 動作中、半導体集積回路の第一の供給電位を導く少なくとも1つの第一の電位線と、

c) 動作中、半導体集積回路の第二の供給電位を導く少なくとも1つの第二の電位線と、

d) 半導体集積回路を静電放電から保護するための少なくとも1つの保護要素とを備え、この保護要素は端子パッドと半導体集積回路との間に配置され、かつ電位導体の

30 少なくとも1つに接続され、
e) この保護要素は少なくとも1つのベース領域と、少なくとも1つのエミッタ領域と、少なくとも1つのコレクタ領域とを持った少なくとも1つの縦形の集積保護トランジスタを備え、その負荷回路が接続導体と電位線の1つとの間に接続され、そのベース端子が制御手段を介して制御される、

少なくとも1つの半導体基板に配置された半導体集積回路に関する。

【0002】

40 【従来の技術】 このようないわゆるESD保護素子は、J. チェン、X. ツァン、A. アメラセケラ、T. プロトソス氏等の論文「サブミクロンBiCMOS及びバイポーラ回路のための高ESD性能NPN構造の設計及びレイアウト」、IEEE国際信頼性物理シンポジウム(1966)の議事録、第227乃至232頁により公知である。

【0003】 1つのチップに集積された半導体回路は入力或いは出力部(I/Oポート)を静電過電圧及びこれに起因する静電放電(ESD)から保護するための保護回路を有している。このいわゆるESD保護素子は半導

体集積回路の入力パッドと保護される入力或いは出力端子との間に接続され、寄生過電圧が侵入するときESD保護素子が動作し、それにより寄生過電圧パルスを供給電圧導電路の1つに導くようにしている。このような過電圧パルスは極端な場合にデバイスを破壊に導くことがある。

【0004】例えば製品仕様書に記載されているような使用条件の下では、ESD保護素子は、しかしながら、保護される半導体集積回路の機能を損なうことがあってはならない。このことは、ESD保護素子の動作電圧が保護される端子パッドの信号電圧範囲の外になければならないということを意味する。良好な保護作用を発揮できるようにするためには、ESD保護素子は臨界的な開閉通路の前にブレイクダウンせねばならない。このことは、通常、それぞれのESD保護素子の動作電圧を、保護される半導体集積回路のデバイスの特性に関して最適プロセス工程がESD保護素子の挿入によって変わることがないという重要な周辺条件をもって、正確に設定することを必要とする。

【0005】もう1つの重要な周辺条件は、端子パッドが空間的に、保護される半導体集積回路の直ぐ近くに配置されていることから生ずる。特に、端子パッドはドライブされる電流が比較的高いため出力ドライバの近くに配置される。ESD保護構造は従ってしばしば出力ドライバに給電する給電線に接続される。

【0006】非常に急速な電圧の立ち上がりに曝され、しかも外部の配線が充分な電流制限を保証していないような端子に対しては、ブレイクダウンにおいていわゆるナップ・バック特性を持つESD保護素子を使用する場合、このESD保護素子の過渡的な動作（ラッチアップ効果）を回避するために、その保持電圧が固有の信号電圧以上にあることが特に注意されねばならない。このESD保護素子のラッチアップ効果はしばしばその破壊、従ってまたそれに接続された半導体集積回路の破壊に導く。

【0007】ESD耐性が高く保護作用が良いにも係わらず、この理由から信号電圧範囲の保持電圧を持つ保護トランジスタ、特にnpnバイポーラ・トランジスタ或いはサイリスタはESD保護素子として使用することができない。これは、特に、スマート・パワー・テクノロジーで製造された半導体回路に対して該当する。この場合、ブレイクダウン・ダイオード或いは増幅度の低いトランジスタに限られている。これらのデバイスは前述のデバイスに比してESD耐性が低い。

【0008】npnバイポーラ・トランジスタ、特に活性に制御されるnpnバイポーラ・トランジスタの保持電圧は、次の式で表される。

$$U_H = U_{CB} \times \beta^{-1/4}$$

この場合、 β はコレクタ・ベース電流増幅率で、 U_{CB} はコレクタ・ベース間のブレイクダウン電圧である。

【0009】

【発明が解決しようとする課題】バイポーラ・トランジスタの保持電圧を高めるためには、上述の式からコレクタ・ベース間ブレイクダウン電圧を上げるか、電流増幅率を下げるかせねばならない。しかしながら、電流増幅率の減少は保護作用も悪化させることになるので有利ではない。

【0010】それ故、保護素子の保持電圧を高めるために、コレクタ・ベース間ブレイクダウン電圧の増大が行われねばならない。しかしながら、その場合、半導体集積回路のその他のデバイスのブレイクダウン電圧は変えられてはならない。上述の周辺条件から、それ故、エピタキシャル層の厚みを増大すること、もしくはエピタキシャル層のドーピング濃度を下げることは除外される。

【0011】ESD保護素子のその他の詳細、特徴、その利点及び作用については、特に、ヨーロッパ特許出願公開第0623958号公報並びに先に挙げたJ・チェン氏他の文献を指摘し、その全内容を参照する（「参考文献に含まれる」）。

【0012】

【発明が解決しようとする課題】このような従来の技術から出発して、この発明の課題は、先に挙げた半導体集積回路において、ESD耐性及び保護作用を損なうことなくかつ所定の周辺条件においてその保持電圧が高められたESD保護素子を提供することにある。

【0013】

【課題を解決するための手段】この発明によれば、この課題は、ベース領域とコレクタ領域とが横方向に互いにずれて配置されているESD保護素子によって解決される。

【0014】特に、保護トランジスタの、埋込み層として形成されたコレクタを横方向に構造化することにより、ベースとコレクタとの間の距離が拡大される。このようにしてエピタキシャル層におけるトランジスタの空乏層は拡大され、同一の電位差であれば電界が減少される。それ故ブレイクダウン電圧 U_{CB} が上昇する。

【0015】この発明は、保護トランジスタが阻止方向に接続されたダイオードによって制御されるときに、特に有利である。特に、ブレイクダウンが保護トランジスタの保持電圧の範囲にあるダイオードをベースに接続すると、信号電圧上限と臨界的な電圧通路のブレイクダウン電圧との間のアンペア範囲にまで設定可能な電圧制限を持つ殆ど理想的なESD保護素子が実現される。

【0016】保護トランジスタのエミッタ端子とベース端子との間に集積抵抗を設けるのが特に有利である。この集積抵抗は保護トランジスタのベースの制御感度を設定することができる。典型的には、この集積抵抗はエミッタ端子及びベース端子が適当に配線されている場合ベース領域の導電率によって決まる。

【0017】埋込み層は、その場合、良導電性の理由か

らできるだけ高くドーピングされている接続領域を介して端子パッドに接続されている。この接続領域は、この場合保護トランジスタが配置されている部分領域を画定する。典型的にはこの部分領域はエピタキシャル層に配置される。接続領域が閉鎖されたリングとして部分領域の周りに配置されていると特に有利である。

【0018】接続領域は、この場合第二の距離によってベース領域から等間隔に隔てて配置されている。この第二の距離は典型的には寄生バイポーラ・トランジスタが部分領域の縁部領域では動作しないような充分な大きさに選ばれる。スマート・パワー・テクノロジーでは第二の距離は典型的には $20\mu\text{m}$ より大きく設定される。高周波適用ではこの値は約 $2\sim 3\mu\text{m}$ である。

【0019】典型的には、エミッタ領域はベース領域もしくはエピタキシャル層より遙に高いドーピング濃度を持っている。このエピタキシャル層におけるドーピング濃度はしばしば半導体集積回路を製造するためのプロセス工程により決まる。

【0020】埋込み層と接続領域とは、非常に高い導電率の要求を満足するために、非常に高くドーピングされている。代表的にはこれらの領域は $1 \times 10^{19}\text{cm}^{-3}$ 以上のドーピング濃度を持っている。

【0021】陽極領域はコレクタ端子と端子パッドとの間に配置されることもまた考えられる。この場合、ESD保護素子はIGBTとして或いはサイリスタとして形成されている。

【0022】この発明は、半導体メモリ或いはロジック素子において使用する場合に特に有利である。その他の有利な適用はマイクロコントローラにおける使用である。

【0023】典型的には、この発明はバイポーラ構造に実現された回路に集積されている。しかしながら、半導体集積回路並びにESD保護素子はCMOSテクノロジーで製造されるのが特に有利である。

【0024】有利な構成例および改良例は請求項2以降に記載されている。

【0025】

【発明の実施の形態】以下に、この発明を図面に示された実施例を参照して詳しく説明する。

【0026】図1はESD保護素子を直列接続した公知の半導体集積回路の回路図を示す。図1において、1は半導体集積回路である。この半導体集積回路1は第一の供給電位VCCを持つ第一の電位線2並びに第二の供給電位VSSを持つ第二の電位線3に接続されている。第一の供給電位VCCは例えば供給電圧である。第二の供給電位VSSはこの実施例におけるように基準接地電位である。

【0027】接続導体4を介して半導体集積回路1は端子パッド5に接続されている。この端子パッド5は入力信号を半導体集積回路1に入力するための入力端子であ

り、また出力信号を半導体集積回路1から出力するための出力端子でもある。このような端子はまたI/Oポートとも呼ばれる。

【0028】端子パッド5と半導体集積回路1との間にはESD保護素子6が接続されている。さらに、ESD保護素子6は第二の電位線3に接続されている。

【0029】この例ではESD保護素子6はnpn保護トランジスタTからなり、その負荷回路は接続導体4と電位線3との間に接続されている。保護トランジスタTとしてpnpトランジスタを使用することもまた考えられる。しかしながら、これは半導体集積回路1を製造するためにその基礎となるテクノロジーに依存する。保護トランジスタTをMOSFETとして、接合形FETとして、サイリスタとして、IGBTとして或いは適当に配線された通常の可制御素子として実現することもまた当然に考えられる。

【0030】保護トランジスタTのベース・コレクタ間にはダイオードDが設けられている。保護トランジスタTのベース・エミッタ間には抵抗Rが設けられている。この例では保護トランジスタTのベース端子は阻止方向に接続されたダイオードDにより活性状態に制御される。保護トランジスタTの制御電圧は抵抗Rを適当な大きさとすることにより設定される。しかしながら、保護トランジスタTは活性状態でなく制御されることもまた考えられる。この場合にはダイオードDは省略することができる。

【0031】この例ではESD保護素子6は接続導体4と第二の電位線3との間に接続されている。ESD保護素子6は接続導体4と第一の電位線2との間にもしくは接続導体4と2つの電位線2、3との間に配置することも当然に考えられる。

【0032】ESD保護素子6は半導体集積回路1を、端子パッド5を介して侵入する寄生異常信号から保護するためのものである。この寄生異常信号はESD保護素子6を介して電位線2、3の1つに導かれ、それゆえ半導体集積回路1には到達しない。

【0033】このような異常信号は例えば半導体チップの移送もしくはハンドリングの際に発生する。これにより半導体チップが静電的に充電される。静電電荷が半導体集積回路1に侵入すると、これにより極端な場合に半導体集積回路1が破壊に至ることがある。

【0034】異常信号の侵入をシミュレートするために典型的にはいわゆる人体モデル(HBM)が適用される。人体モデルの等価回路は 100pF のキャパシタンスと $1.5\text{k}\Omega$ の抵抗とからなるローパスフィルタを備えている。人体モデルは人間を通して侵入した異常信号をシミュレートする。例えば、いわゆる電荷デバイスモデル(CDM)のような他のモデルを使用することもまた考えられる。

【0035】図2は、この発明によるESD保護構造を

半導体システムに実現する概略図を示す。同じ部分には図1に応じて同一の符号が付けられている。図2において7は半導体基板を示す。この半導体基板7は典型的にはシリコン基板からなる。半導体基板7は円板状に形成され、円板裏面8及び基板表面9を備えている。この例では半導体基板7のシリコン基板はp形にドーブされ、円板裏面8が基準接地電位にある。半導体基板7をn形にドーブすることも勿論考えられる。

【0036】半導体基板7の基板表面9には弱くn形にドーブされたエピタキシャル層10が形成されている。ESD保護構造の機能のために、複数のエピタキシャル層10を重ねて配置することも、或いはまた全くこのエピタキシャル層10を省略することも考えられる。エピタキシャル層10のドーピング濃度は半導体集積回路1の製造のためのプロセス工程により決まる。典型的には、このエピタキシャル層は $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ のドーピング濃度を持っている。エピタキシャル層の厚さはその場合適用されたテクノロジーに応じて $1 \sim 10 \mu\text{m}$ の間で変化する。

【0037】その他に、図2に示されるように、埋込み層11が設けられている。このような埋込み層11は「ベリード・レイヤー」とも呼ばれる。この例では埋込み層11は n^+ 形にドーブされている。この埋込み層11は、例えば、エピタキシャル層10を成長させる前に基板表面9にドーパントを置き、次いで適当な温度でこれを拡散させることにより作ることができる。

【0038】しかしながら、埋込み層11を半導体基板7にイオン注入することによりエピタキシャル層10の成長後もしくはエピタキシャル層10の成長中に作ることもまた有利である。所望の縦方向の濃度分布を得るためにこの場合しばしば適当なエネルギー及びドーズ量で数回のイオン注入が必要である。これに続いて、埋込み層11にドーピング原子を均一に拡散分布させるために、熱処理が行われる。

【0039】埋込み層11におけるドーピング濃度はしばしば半導体集積回路1の製造の際のプロセス工程により予め決まっている。できるだけ低抵抗に形成される。それにより埋込み層11は典型的には約 10^{19} cm^{-3} のドーピング濃度を持っている。

【0040】埋込み層11は接続領域16を介して半導体基板7の円板表面12に接続されている。この接続領域16は埋込み層11と同一の導電形で、できるだけ高い約 $1 \times 10^{20} \text{ cm}^{-3}$ のドーピング濃度を持っている。接続領域16はこの例では深いイオン注入或いは拡散領域として円板表面12から半導体基板7にまで延び、埋込み層11に接続されている。接続領域16はここではトレンチとして形成され、公知のトレンチ・テクノロジーで作られる。

【0041】投影面(図示せず)では接続領域16並び

に埋込み層11リング状の構造を持っている。リング状の構造はしかしながら必ずしも閉じられる必要はない。接続領域16のリング状の構造は、円形、矩形或いは多角形に形成することができる。或いはまた、縞状の構造も考えられる。

【0042】一方の埋込み層11と他方を接続領域16とがエピタキシャル層10のいわゆる部分領域10'を包囲している。

【0043】この部分領域10'には円板表面12にベース領域13が配置されている。このベース領域13はこの実施例ではp形にドーブされ、ウエル状に形成されている。さらに、ベース領域13の内部に円板表面12に接してこれと反対の導電形のウエル状のエミッタ領域14が配置されている。

【0044】エミッタ領域14は典型的には $5 \times 10^{19} \text{ cm}^{-3}$ のドーピング濃度を持っている。エミッタ領域のウエルはその場合約 $1 \mu\text{m}$ 半導体基板7に入り込んでいる。ベース領域13は典型的には 10^{16} cm^{-3} 乃至 10^{17} cm^{-3} のドーピング濃度を持ち、そのウエルは約 $2 \sim 5 \mu\text{m}$ の深さを持っている。

【0045】図2には、ESD保護構造の等価回路が断面で概略的に示されている。その場合、エミッタ領域14、ベース領域13及び埋込み層11はそれぞれ保護トランジスタTのエミッタ、ベース及びコレクタを形成している。図2の保護トランジスタTは活性的には制御されていない。この場合、保護素子6はダイオードを接続した保護トランジスタTとして実現されている。

【0046】純粋に縦形のESD保護素子において、保護トランジスタの動作電圧は代表的にはベース領域とその直ぐ下に配置されているコレクタ領域もしくは埋込み領域11との距離dにより生ずる。この発明による、いわゆる準縦形ESD保護構造ではコレクタ領域をベース領域に対して相対的に横方向にずらせることによりこの距離dが拡大される。これによりこのESD保護素子の動作電圧がそれに対応して増大する。

【0047】それ故、この発明のESD保護構造において、ウエル状のベース領域13と埋込み層のリング構造とは、ベース領域13のウエルの外縁が埋込み層11の内縁に対して横方向にずれているように配置されていることが重要である。この横方向のずれは距離d1で示されている。

【0048】ベース領域13は接続領域16から第二の距離d2だけ隔てられているように部分領域10'に配置されている。この第二の距離d2はその場合横方向の寄生pnダイオードが部分領域10'の縁部範囲にあるような大きさに選ばれる。一般的にはこの距離は $20 \mu\text{m}$ より大きい。

【0049】ベース領域13とエミッタ領域14とはこの例ではウエル状に形成されている。しかしながら、V状、U状、トレンチ状或いは同様な構造も考えられる。

これらの領域 13、14 は好ましくは拡散或いはイオン注入により半導体基板 7 に作り込まれる。しかしながら、その他の製造方法、例えば蒸着等も考えられる。

【0050】ベース領域 13 と接続領域 16 とは通常の電極 17、18 を介して円板表面 12 に接触されている。その場合、それぞれエミッタ領域 14 の第一の接触電極 17 が第二の電位線 3、従って基準接地電位に接続されている。接続領域 16 の第二の接触電極 18 は端子パッド 5 に接続されている。

【0051】さらに、図 2 にはバッファ領域 15 が設けられている。これは円板の表面 12 から全エピタキシャル層 10 を通って半導体基板 7 にまで延びている。この例ではバッファ領域 15 は二酸化シリコンからなっている。バッファ領域 15 は、しかしながら、他の通常のバッファ材料、例えば高くドーブされたポリシリコン、窒化シリコン等により形成することもできる。バッファ領域 15 は通常 ESD 保護構造を半導体集積回路 1 もしくは半導体チップに対して遮蔽もしくは隔離する機能を持っている。

【0052】バッファ領域 15 は p^+ 形にドーブされたポリシリコンからなるのが特に有利である。この場合、順方向の極性の $p-n$ ダイオードが、埋込み層 11 と p 形にドーブされた基板 7 との間で、例えば負のパルスを導くために利用される。この負のパルスはその場合 p^+ 形にドーブされたバッファ領域 15 を介して導かれる。

【0053】代表的には、埋込み層 11 の横方向断面積は接続領域 16 の対応する横方向断面積より大きい。

【0054】以下にこの発明による ESD 保護構造の作用を詳細に説明する。端子パッド 5 を介して異常信号が侵入し、この異常信号が保護トランジスタ T のスイッチング閾値を越えると、ダイオード接続に接続された保護トランジスタ T の $p-n$ 接合における空間電荷領域が崩壊する。これにより保護トランジスタが動作する。それ故、端子パッド 5 から、接続領域 16、埋込み層 11、ベース領域 13 を経由してエミッタ領域 14、従って第二の電位線 3 に至る電流通路が生ずる。異常信号はそれゆえ第二の電位線 3 に導かれて、半導体集積回路 1 には達しない。

【0055】埋込み層 11 と端子パッド 5 との間に陽極領域が配置されるのもまた有利である。この場合、ESD 保護素子 6 は IGBT 或いはサイリスタとして形成される。

【0056】保護トランジスタのベース幅を適当に選定することによりさらに能動保護素子の動作電圧を設定することができる。

【0057】この発明はマイクロコントローラ、半導体メモリ或いはロジック素子における ESD 保護素子 6 として使用する場合に特に有利である。

【0058】半導体集積回路並びにこれに付属する ESD 保護素子はその場合好ましくはバイポーラに形成さ

れ、並びにスマート・パワー・テクノロジーで製造される。しかしながら、半導体集積回路 1 並びに ESD 保護回路が CMOS テクノロジーで製造されているときもまた、特に有利である。

【0059】図 3 は図 2 に示された構造の良好な改良例を示す。この場合、ベース領域 13 のウエルには同一導電形の高ドーブの接触領域 19'、19'' が配置されている。その他に、ベース領域 13 のウエルには複数のエミッタ領域 14 が設けられている。

【0060】その他に、部分領域 10' には第二の接続領域 20 が設けられている。この第二の接続領域 20 は、第一の接続領域 16 と同様に、円板表面 12 から半導体基板 7 にまで延びて埋込み層 11 に接続されている。第二の接続領域 20 はこの例では接続領域 16 に囲まれる部分領域 10' の中にある。この第二の接続領域 20 は接続領域 16 から隔てられて配置され、反対の導電形の非常に高いドーピング濃度を持っている。この例では第二の接続領域 20 は典型的には $1 \times 10^{20} \text{ cm}^{-3}$ のドーピング濃度をもって p^+ にドーブされている。

【0061】第二の接続領域 20 は円板表面 12 に接触領域 19''' を備えている。この接触領域 19''' は接続導体 21 を介してベース領域 13 の対応する接触領域 19' に接続されている。ベース領域 13 のその他の接触領域 19'' は接続導体を介してエミッタ領域 14、従って第二の電位線 3 の第二の供給電位に接続されている。

【0062】接触領域 19'、19''、19''' は 10^{20} cm^{-3} の典型的なドーピング濃度を持っている。そのドーピング濃度分布は半導体基板 7 に約 $0.5 \mu\text{m} \sim 1 \mu\text{m}$ 入り込んでいる。

【0063】図 3 に示された構造に対しては、保護トランジスタ T 並びにダイオード D と抵抗 R とを備えた、図 1 で示された ESD 保護素子 6 の等価回路がそのベース制御に適用される。分かり易くするために、図 3 ではこの等価回路は記入されていない。ただ、集積抵抗 R 及び集積ダイオード D の位置が図 3 に示されている。

【0064】集積抵抗 R は、所定の配線では、隣接した接触領域 19'、19'' の間のベース領域 13 におけるドーピング濃度から生ずる。さらに、図 3 においてはそれぞれ第二の接続領域 20 と埋込み層 11 との間に集積ダイオード D が示されている。このダイオード D と抵抗 R とはそれゆえ保護トランジスタ T のベースを制御する。

【0065】以下に図 3 に示された構成の作用を詳細に説明する。端子パッド 5 を介して異常信号、例えば電流パルスが侵入し、この電流パルスがダイオード D の動作閾値を越えると、このダイオード D の $p-n$ 接合における空間電荷領域が崩壊し、保護トランジスタ T のベースが制御される。ベース電流が十分に高いと、保護トランジスタ T は動作する。それ故、端子パッド 5 から、接続領

域 16、埋込み層 11 を經由し、さらに部分領域 10' 及びベース領域 13 を經由してエミッタ領域 14、従って第二の電位線 3 に達する電流通路ができる。このような異常信号はそれゆえ半導体集積回路 1 には達せず、電位線 2、3 の 1 つを介して導かれる。

【0066】図 2 に示された ESD 構造とは異なり、図 3 においては集積ダイオード D 並びに集積抵抗 R を介して活性的なベース制御が行われる。ダイオード D の動作閾値は第二の接続領域 20 のドーピング濃度によって設定される。それ故、第二の接続領域 20 のドーピング濃度を適当に選ぶことによって、並びにベース領域 13 のドーピング濃度を介して保護トランジスタ T の制御感度が設定される。

【図面の簡単な説明】

【図 1】 ESD 保護素子を直列接続した公知の半導体集積回路の回路図。

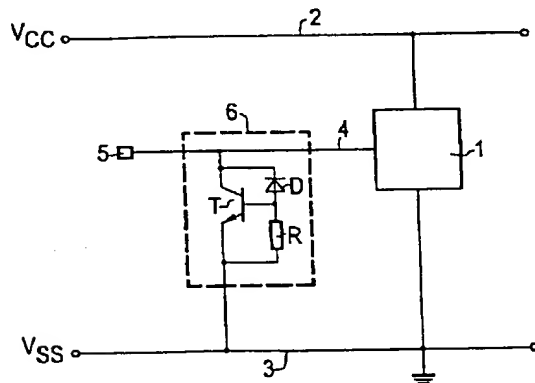
【図 2】 半導体システムにこの発明による ESD 保護構造を実現するための概略図。

【図 3】 半導体システムにこの発明による ESD 保護構造の好ましい実施例を実現するための概略図。

【符号の説明】

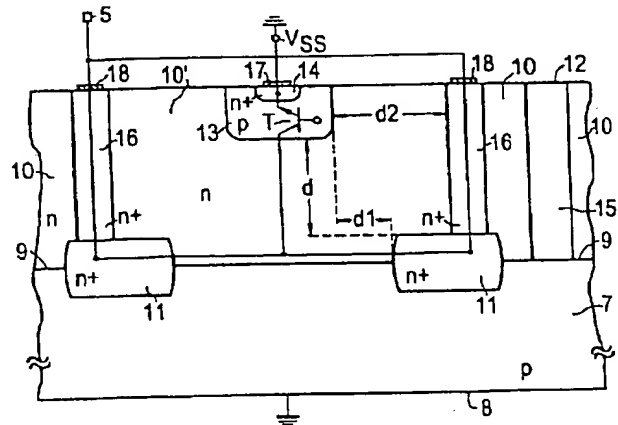
- 1 半導体集積回路
- 2 第一の電位線
- 3 第二の電位線
- 4 接続導体
- 5 端子パッド

【図 1】



- 6 (ESD) 保護素子
- 7 半導体基板
- 8 円板の裏面
- 9 基板表面
- 10 エピタキシャル層
- 10' エピタキシャル層の部分領域
- 11 埋込み層
- 12 円板の表面
- 13 ベース領域
- 14 エミッタ領域
- 15 バッファ領域
- 16 接続領域
- 17 第一の接触電極
- 18 第二の接触電極
- 19、19'、19'' 接触領域
- 20 第二の接続領域
- d 縦形 ESD 保護素子におけるベース領域とコレクタ領域との距離
- d1 準縦形 ESD 保護素子におけるベース領域とコレクタ領域との横方向のずれ
- d2 ベース領域と接続領域との間の距離
- D 集積ダイオード
- R 集積抵抗
- T (ESD) 保護トランジスタ
- VCC 第一の供給電位
- VSS 第二の供給電位

【図 2】



【図 3】

